



**PATENT**  
2421-000037/US

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Applicants: Ja-Hum KU, et al. Conf. No.: Unknown  
Filing Date: March 30, 2004 Examiner: Unknown  
Appl. No.: 10/812,003 Group Art Unit: Unknown  
Title: NICKEL SALICIDE PROCESS WITH REDUCED DOPANT  
DEACTIVATION

**PRIORITY LETTER**

April 30, 2004

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sirs:

Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).

<b><u>Application No.</u></b>	<b><u>Date Filed</u></b>	<b><u>Country</u></b>
2003-0024126	April 16, 2003	Korea

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNESS, DICKEY, & PIERCE, P.L.C.

By 

John A. Castellano,  
Reg. No. 35,094

P.O. Box 8910  
Reston, Virginia 20195  
(703) 668-8000

JAC/GPB:dg



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0024126  
Application Number

출원 년 월 일 : 2003년 04월 16일  
Date of Application APR 16, 2003

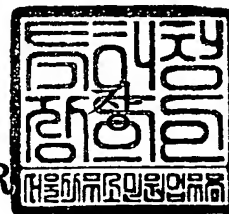
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2004 년 03 월 19 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.04.16
【발명의 명칭】	니켈 샐리사이드 공정 및 이를 사용하여 모스 트랜지스터를 제조하는 방법
【발명의 영문명칭】	Nickel salicide process and method of fabricating a MOS transistor using the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-054081-9
【발명자】	
【성명의 국문표기】	정석우
【성명의 영문표기】	JUNG, SUG WOO
【주민등록번호】	700103-1702714
【우편번호】	440-330
【주소】	경기도 수원시 장안구 천천동 507-5
【국적】	KR
【발명자】	
【성명의 국문표기】	선민철
【성명의 영문표기】	SUN, MIN CHUL
【주민등록번호】	730726-1051111
【우편번호】	612-752
【주소】	부산광역시 해운대구 좌동 건영2차아파트 101동 903호
【국적】	KR
【발명자】	
【성명의 국문표기】	윤선필
【성명의 영문표기】	YOUN, SUN PIL
【주민등록번호】	730821-1069318

【우편번호】	151-021
【주소】	서울특별시 관악구 신림11동 746-1
【국적】	KR
【발명자】	
【성명의 국문표기】	김민주
【성명의 영문표기】	KIM,MIN JOO
【주민등록번호】	770804-2119841
【우편번호】	120-180
【주소】	서울특별시 서대문구 창천동 4-97 304호
【국적】	KR
【발명자】	
【성명의 국문표기】	노관중
【성명의 영문표기】	ROH,KWAN JONG
【주민등록번호】	731001-1453317
【우편번호】	430-018
【주소】	경기도 안양시 만안구 안양8동 394-28 101호
【국적】	KR
【발명자】	
【성명의 국문표기】	구자흠
【성명의 영문표기】	KU,JA HUM
【주민등록번호】	680110-1010516
【우편번호】	463-500
【주소】	경기도 성남시 분당구 구미동(무지개마을) 건영아파트 1004-1401
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의 한 출원심사 를 청구합니다. 대리인 박상수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	35 면 35,000 원

【우선권주장료】	0	건	0	원
【심사청구료】	32	항	1,133,000	원
【합계】	1,197,000			원
【첨부서류】	1.	요약서·명세서(도면)_1통		

**【요약서】****【요약】**

니켈 실리사이드 공정 및 이를 사용하여 모스 트랜지스터를 제조하는 방법을 제공한다. 이 방법은 반도체기판의 소정영역에 또는 상기 반도체기판의 소정영역 상에 불순물 이온들로 도우핑된 배선층을 형성하는 것을 구비한다. 상기 반도체기판 상에 상기 배선층을 노출시키는 실리사이드화 저지막을 형성한다. 상기 실리사이드화 저지막을 갖는 반도체기판을 후열처리하여 상기 배선층 내의 불순물 이온들을 활성화시킨다. 이어서, 상기 활성화된 배선층의 표면 상에 선택적으로 니켈 모노 실리사이드막(nickel mono-silicide layer; NiSi layer)을 형성한다. 상기 니켈 모노 실리사이드막은 400℃ 내지 530℃의 저온에서 형성한다. 이에 따라, 상기 배선층의 저항은 물론 상기 배선층 상의 니켈 실리사이드막의 저항을 현저히 감소시킬 수 있다.

**【대표도】**

도 1

## 【명세서】

## 【발명의 명칭】

니켈 샐리사이드 공정 및 이를 사용하여 모스 트랜지스터를 제조하는 방법{Nickel salicide process and method of fabricating a MOS transistor using the same}

## 【도면의 간단한 설명】

도 1은 본 발명의 실시예에 따른 모스 트랜지스터의 제조방법을 설명하기 위한 공정 순서도이다.

도 2 내지 도 8은 본 발명의 실시예에 따른 모스 트랜지스터의 제조방법을 설명하기 위한 단면도들이다.

도 9a는 일반적인(typical) 코발트 샐리사이드 기술을 사용하여 제작된 NMOS 트랜지스터들의 문턱전압 특성 및 종래의 니켈 샐리사이드 기술을 사용하여 제작된 NMOS 트랜지스터들의 문턱전압 특성을 보여주는 그래프이다.

도 9b는 일반적인 코발트 샐리사이드 기술을 사용하여 제작된 PMOS 트랜지스터들의 문턱전압 특성 및 종래의 니켈 샐리사이드 기술을 사용하여 제작된 PMOS 트랜지스터들의 문턱전압 특성을 보여주는 그래프이다.

도 10a는 일반적인 코발트 샐리사이드 기술을 사용하여 제작된 NMOS 트랜지스터들의 온/오프 전류 특성 및 종래의 니켈 샐리사이드 기술을 사용하여 제작된 NMOS 트랜지스터들의 온/오프 전류 특성을 보여주는 그래프이다.

도 10b는 일반적인 코발트 샬리사이드 기술을 사용하여 제작된 PMOS 트랜지스터들의 온/오프 전류 특성 및 종래의 니켈 샬리사이드 기술을 사용하여 제작된 PMOS 트랜지스터들의 온/오프 전류 특성을 보여주는 그래프이다.

도 11a는 일반적인 코발트 샬리사이드 기술을 사용하여 제작된 NMOS 트랜지스터들의 C-V 특성 및 종래의 니켈 샬리사이드 기술을 사용하여 제작된 NMOS 트랜지스터들의 C-V 특성을 보여주는 그래프이다.

도 11b는 일반적인 코발트 샬리사이드 기술을 사용하여 제작된 PMOS 트랜지스터들의 C-V 특성 및 종래의 니켈 샬리사이드 기술을 사용하여 제작된 PMOS 트랜지스터들의 C-V 특성을 보여주는 그래프이다.

도 12a는 종래의 기술에 따라 형성된 NMOS 트랜지스터들의 소오스/드레인 영역들의 저항 특성 및 본 발명에 따라 형성된 NMOS 트랜지스터들의 소오스/드레인 영역들의 저항특성을 보여주는 그래프이다.

도 12b는 종래의 기술에 따라 형성된 NMOS 트랜지스터들의 엘디디 영역들의 저항특성 및 본 발명에 따라 형성된 NMOS 트랜지스터들의 엘디디 영역들의 저항특성을 보여주는 그래프이다.

도 13a는 일반적인 코발트 샬리사이드 기술을 사용하여 제작된 NMOS 트랜지스터들의 문턱전압 특성 및 본 발명의 변형예에 따른 니켈 샬리사이드 기술을 사용하여 제작된 NMOS 트랜지스터들의 문턱전압 특성을 보여주는 그래프이다.



도 13b는 일반적인 코발트 샬리사이드 기술을 사용하여 제작된 PMOS 트랜지스터들의 문턱전압 특성 및 본 발명의 변형예에 따른 니켈 샬리사이드 기술을 사용하여 제작된 PMOS 트랜지스터들의 문턱전압 특성을 보여주는 그래프이다.

도 14a는 일반적인 코발트 샬리사이드 기술을 사용하여 제작된 NMOS 트랜지스터들의 C-V 특성 및 본 발명의 변형예에 따른 니켈 샬리사이드 기술을 사용하여 제작된 NMOS 트랜지스터들의 C-V 특성을 보여주는 그래프이다.

도 14b는 일반적인 코발트 샬리사이드 기술을 사용하여 제작된 PMOS 트랜지스터들의 C-V 특성 및 본 발명의 변형예에 따른 니켈 샬리사이드 기술을 사용하여 제작된 PMOS 트랜지스터들의 C-V 특성을 보여주는 그래프이다.

도 15a는 일반적인 코발트 샬리사이드 기술을 사용하여 제작된 NMOS 트랜지스터들의 온/오프 전류 특성 및 본 발명의 변형예에 따른 니켈 샬리사이드 기술을 사용하여 제작된 NMOS 트랜지스터들의 온/오프 전류 특성을 보여주는 그래프이다.

도 15b는 일반적인 코발트 샬리사이드 기술을 사용하여 제작된 PMOS 트랜지스터들의 온/오프 전류 특성 및 본 발명의 변형예에 따른 니켈 샬리사이드 기술을 사용하여 제작된 PMOS 트랜지스터들의 온/오프 전류 특성을 보여주는 그래프이다.

도 16a는 종래의 니켈 샬리사이드 기술을 사용하여 제작된 NMOS 트랜지스터들의 C-V 특성 및 본 발명에 따른 니켈 샬리사이드 기술을 사용하여 제작된 NMOS 트랜지스터들의 C-V 특성을 보여주는 그래프이다.

도 16b는 종래의 니켈 샬리사이드 기술을 사용하여 제작된 PMOS 트랜지스터들의 C-V 특성 및 본 발명에 따른 니켈 샬리사이드 기술을 사용하여 제작된 PMOS 트랜지스터들의 C-V 특성을 보여주는 그래프이다.

도 17a는 종래의 니켈 샬리사이드 기술을 사용하여 제작된 NMOS 트랜지스터들의 온/오프 전류 특성 및 본 발명에 따른 니켈 샬리사이드 기술을 사용하여 제작된 NMOS 트랜지스터들의 온/오프 전류 특성을 보여주는 그래프이다.

도 17b는 종래의 니켈 샬리사이드 기술을 사용하여 제작된 PMOS 트랜지스터들의 온/오프 전류 특성 및 본 발명에 따른 니켈 샬리사이드 기술을 사용하여 제작된 PMOS 트랜지스터들의 온/오프 전류 특성을 보여주는 그래프이다.

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<21> 본 발명은 반도체 소자의 제조방법에 관한 것으로, 특히 니켈 샬리사이드 공정 및 이를 사용하여 MOS 트랜지스터를 제조하는 방법에 관한 것이다.

<22> 반도체 소자는 MOS 트랜지스터와 같은 개별소자(discrete device)를 스위칭 소자로 널리 채택하고 있다. 상기 반도체 소자의 집적도가 증가함에 따라, 상기 MOS 트랜지스터는 점점 스케일 다운되고 있다. 그 결과, 상기 MOS 트랜지스터의 채널 길이가 감소하여 단채널 효과(short channel effect)가 발생한다. 상기 채널 길이의 감소는 게이트 전극의 좁은 폭으로 이어진다. 이에 따라, 상기 게이트 전극의 전기적인 저항은 증가한다. 상기 단채널 효과를 개선하기 위해서는 상기 MOS 트랜지스터의 소오스/드레인 영역의 접합깊이(junction depth)와 아

올려서 게이트 절연막의 두께를 감소시키는 것이 요구된다. 결과적으로, 상기 게이트 전극의 저항(R)은 물론 상기 게이트 커패시턴스(C)가 증가한다. 이 경우에, 상기 게이트 전극에 가해지는 전기적인 신호의 전송속도(transmission speed)는 RC 지연시간(Resistance-Capacitance delay time)에 기인하여 느려진다.

<23> 이에 더하여, 상기 소오스/드레인 영역은 얇은 접합깊이를 가지므로 그것의 면저항(sheet resistance)이 증가한다. 그 결과, 상기 단채널 모스 트랜지스터의 구동능력(drivability)이 저하된다. 이에 따라, 상기 고집적 반도체 소자에 적합한 고성능(high performance) 모스 트랜지스터를 구현하기 위하여 셀리사이드(salicide; self-aligned silicide) 기술이 널리 사용되고 있다.

<24> 상기 셀리사이드 기술은 상기 게이트 전극 및 소오스/드레인 영역 상에 선택적으로 금속 실리사이드막을 형성하여 상기 게이트 전극 및 소오스/드레인 영역의 전기적인 저항을 낮추기 위한 공정기술(process technology)이다. 상기 금속 실리사이드막으로 코발트 실리사이드막 또는 타이타늄 실리사이드막 등이 널리 채택되고 있다. 특히, 상기 코발트 실리사이드막의 저항은 선평의 변화에 대하여 매우 낮은 의존성을 보인다. 이에 따라, 상기 단채널 모스 트랜지스터의 게이트 전극 상에 코발트 실리사이드막을 형성하는 기술이 널리 사용되고 있다. 그러나, 상기 게이트 전극의 폭이 약 0.1  $\mu\text{m}$  보다 작은 경우에, 응집(agglomeration)이라고 알려진 현상에 기인하여 상기 코발트 실리사이드막의 적용에 한계가 있다. 이에 따라, 최근에 니켈 셀리사이드 기술이 고성능 모스 트랜지스터의 제조에 사용되고 있다.

<25> 모스 트랜지스터에 금속 셀리사이드 기술을 적용하는 방법이 미국특허 제6,326,289 B1에 "포토리지스트층에 의해 소오스/드레인 영역들로부터 블로킹된 사전 비정질화 주입을 사용하여 실리사이드층을 형성하는 방법(method of forming a silicide layer using a

pre-amorphization implant which is blocked from source/drain regions by a layer of photoresist)"이라는 제목으로 로더 등(Rodder et al.)에 의해 개시된 바 있다.

<26> 로더 등에 따르면, 반도체기판에 게이트 전극 및 소오스/드레인 영역들을 형성하고, 상기 게이트 전극만을 선택적으로 노출시키는 포토레지스트 패턴을 형성한다. 이어서, 상기 포토레지스트 패턴을 이온주입 마스크로 사용하여 상기 노출된 게이트 전극의 표면에 불순물들을 주입한다. 그 결과, 상기 게이트 전극의 표면만이 비정질화되고(amorphized), 상기 소오스/드레인 영역들에 어떠한 손상이 가해지지 않는다. 상기 비정질화된 게이트 전극 및 상기 소오스/드레인 영역들 상에 선택적으로 금속 실리사이드막을 형성한다. 이에 따라, 상기 게이트 전극의 폭이 좁을지라도, 상기 게이트 전극 상에 형성되는 금속 실리사이드막이 응집되는 것을 방지할 수 있다. 또한, 상기 소오스/드레인 영역들은 어떠한 이온주입 손상도 갖지 않으므로, 상기 소오스/드레인 영역들의 접합 누설전류 특성이 저하되는 것을 방지할 수 있다.

<27> 그럼에도 불구하고, 니켈 셀리사이드 기술에 대한 연구는 지속적으로 요구되고 있다. 이는, 상기 니켈 셀리사이드 기술이 초고집적 반도체소자의 고성능 MOS 트랜지스터에 적합하기 때문이다. 그러나, 상기 니켈 셀리사이드 기술에 있어서, 니켈 실리사이드막을 형성하기 위한 실리사이드화 온도(silicidation temperature) 및 후속 열공정 온도(subsequent thermal process temperature)는 상기 니켈 실리사이드막의 상변이(phase transformation)에 직접적인 영향을 준다. 따라서, 상기 니켈 셀리사이드 기술을 채택하는 반도체소자의 열처리 공정을 최적화시키는 것이 필요하다.

<28> 또한, 상기 니켈 셀리사이드 기술과 같은 금속 셀리사이드 기술을 상기 초고집적 반도체소자에 적용하는 경우에, 상기 금속 셀리사이드 기술은 정전하 방전회로(ESD circuit; electro-static discharge circuit)와 같은 입출력 보호회로(I/O protection circuit)에 적용

되지 않는 것이 바람직하다. 이는 상기 금속 셀리사이드 기술이 상기 입출력 보호회로의 접합 누설전류(junction leakage current)의 증가와 아울러서 상기 입출력 보호회로 내의 게이트 전극들 및 소오스/드레인 영역들의 저항의 감소를 초래할 수 있기 때문이다. 상기 입출력 보호회로 내의 게이트 전극들 및 소오스/드레인 영역들의 저항의 감소는 정전하 방전 특성의 저하로 이어진다. 결과적으로, 상기 입출력 보호회로는 상기 금속 셀리사이드 공정 전에, 실리사이드화 저지막(silicidation blocking layer)으로 덮여져야 한다. 그러나, 상기 실리사이드화 저지막을 형성하는 동안, 상기 소오스/드레인 영역들 및 게이트 전극 내의 불순물들은 불활성화(deactivation)될 수 있다. 이 경우에, 내부회로(internal circuit)를 구성하는 모스 트랜지스터들의 전기적인 특성이 저하된다.

<29> 결론적으로, 상기 니켈 실리사이드막을 형성하기 위한 셀리사이드 공정을 최적화시키는 것이 요구된다.

**【발명이 이루고자 하는 기술적 과제】**

<30> 본 발명이 이루고자 하는 기술적 과제는 실리콘 패턴 또는 불순물층 상에 선택적으로 형성되는 니켈 실리사이드막의 비저항과 아울러서 상기 실리콘 패턴 또는 불순물층 내의 불순물들의 불활성화(deactivation)를 감소시킬 수 있는 니켈 셀리사이드 공정을 제공하는 데 있다.

<31> 본 발명이 이루고자 하는 다른 기술적 과제는 최적화된 니켈 셀리사이드 공정을 사용하여 향상된 전기적 특성(improved electrical characteristic)을 얻을 수 있는 모스 트랜지스터의 제조방법을 제공하는 데 있다.

**【발명의 구성 및 작용】**

- <32>        상기 기술적 과제를 이루기 위하여 본 발명은 신규한(novel) 니켈 셀리사이드 공정을 제공한다.
- <33>        본 발명의 일 양태에 따르면, 상기 니켈 셀리사이드 공정은 반도체기판의 소정영역에 불순물 이온들을 주입하여 불순물층을 형성하는 것을 포함한다. 상기 불순물층을 갖는 반도체기판 상에 상기 불순물층을 노출시키는 실리사이드화 저지막 패턴(silicidation blocking layer pattern)을 형성한다. 상기 실리사이드화 저지막 패턴을 갖는 반도체기판을 후열처리하여(post-anneal) 상기 불순물층 내의 불순물들을 활성화시킨다. 이어서, 상기 활성화된 불순물층의 표면에 니켈 실리사이드막을 선택적으로 형성한다.
- <34>        상기 실리사이드화 저지막 패턴을 형성하기 전에, 상기 불순물층을 갖는 반도체기판을 추가로 사전 열처리(pre-anneal)할 수 있다. 상기 사전 열처리 공정은 830℃ 내지 1150℃의 온도에서 실시한다. 그 결과, 상기 불순물층 내의 불순물들은 활성화된다.
- <35>        상기 실리사이드화 저지막 패턴은 실리콘 질화막으로 형성할 수 있다. 상기 실리콘 질화막은 일반적으로 535℃ 내지 825℃의 온도에서 형성한다. 상기 실리사이드화 저지막 패턴은 셀리사이드 공정을 필요로 하지 않는 다른 불순물층들을 덮는다. 상기 사전 열처리 공정을 실시할지라도, 상기 실리사이드화 저지막 패턴을 형성하는 동안 상기 불순물층 내의 불순물들의 대부분은 불활성화된다(deactivated). 그 결과, 상기 불활성화된 불순물층(deactivated impurity layer)의 저항은 현저히 증가된다.

- <36>      상기 후열처리 공정(post-annealing process)은 830℃ 내지 1150℃의 온도에서 실시하는 것이 바람직하다. 상기 후열처리 공정은 상기 불활성화된 불순물층을 재활성화시키어(reactivate) 상기 불순물층의 전기적인 특성을 향상시킨다.
- <37>      상기 니켈 실리사이드막은 다양한 조성비(composition rate)를 가질 수 있다. 예를 들면, 상기 니켈 실리사이드막(nickel silicide layer)은 다이 니켈 모노 실리사이드막(di-nickel mono-silicide layer;  $\text{Ni}_2\text{Si}$  layer), 니켈 모노 실리사이드막(nickel mono-silicide layer;  $\text{NiSi}$  layer) 또는 니켈 다이 실리사이드막(nickel di-silicide layer;  $\text{NiSi}_2$  layer)일 수 있다. 이들 니켈 실리사이드막들중 상기 니켈 모노 실리사이드막( $\text{NiSi}$  layer)이 가장 낮은 비저항(resistivity)을 갖는다. 그러나, 상기 니켈 모노 실리사이드막( $\text{NiSi}$  layer)은 400℃ 내지 530℃의 저온에서 형성되는 반면에, 상기 니켈 다이 실리사이드막( $\text{NiSi}_2$  layer)은 550℃보다 높은 온도에서 형성된다. 따라서, 저저항성의(low resistive) 니켈 실리사이드막을 형성하기 위해서는 상기 니켈 실리사이드막의 형성공정 및 그 후속 공정이 550℃보다 낮은 온도에서 진행되어야 한다.
- <38>      본 발명의 다른 양태에 따르면, 상기 니켈 실리사이드 공정은 반도체기판 상에 불순물 이온들로 도우핑된 실리콘 패턴을 형성하는 것을 포함한다. 상기 도우프트 실리콘 패턴을 갖는 반도체기판 상에 상기 도우프트 실리콘 패턴을 노출시키는 실리사이드화 저지막 패턴(silicidation blocking layer pattern)을 형성한다. 상기 실리사이드화 저지막 패턴을 갖는 반도체기판을 후열처리하여(post-annealing) 상기 도우프트 실리콘 패턴 내의 불순물들을 활성화시킨다. 상기 활성화된 실리콘 패턴의 표면에 니켈 실리사이드막을 선택적으로 형성한다.
- <39>      상기 실리사이드화 저지막 패턴을 형성하기 전에, 상기 도우프트 실리콘 패턴을 갖는 반도체기판을 추가로 사전 열처리(pre-anneal)할 수 있다. 상기 사전 열처리 공정은 830℃ 내지

1150℃의 온도에서 실시한다. 그 결과, 상기 도우프트 실리콘 패턴 내의 불순물들은 활성화된다.

<40>       상기 실리사이드화 저지막 패턴은 실리콘 질화막으로 형성할 수 있다. 상기 실리콘 질화막은 일반적으로 535℃ 내지 825℃의 온도에서 형성한다. 그 결과, 상기 도우프트 실리콘 패턴은 불활성화된다(deactivated).

<41>       상기 후열처리 공정(post-annealing process)은 830℃ 내지 1150℃의 온도에서 실시하는 것이 바람직하다. 상기 후열처리 공정은 상기 불활성화된 불순물층을 재활성화시키어(reactivate) 상기 불순물층의 전기적인 특성을 향상시킨다.

<42>       상기 니켈 실리사이드막은 400℃ 내지 530℃의 저온에서 형성한다.

<43>       상기 다른 기술적 과제를 이루기 위하여 본 발명은 니켈 셀리사이드 공정을 사용하여 모스 트랜지스터를 제조하는 방법을 제공한다. 이 방법은 반도체기판 상에 게이트 절연막을 형성하는 것을 포함한다. 상기 게이트 절연막의 소정영역 상에 게이트 패턴, 즉 게이트 전극을 형성한다. 상기 게이트 패턴의 측벽 상에 절연성 스페이서(insulating spacer)를 형성한다. 상기 게이트 패턴 및 상기 스페이서를 이온주입 마스크로 사용하여 상기 반도체기판 내에 불순물 이온들을 주입하여 소오스/드레인 영역들을 형성한다. 상기 소오스/드레인 영역들을 갖는 반도체기판 상에 상기 게이트 패턴 및 상기 소오스/드레인 영역을 노출시키는 실리사이드화 저지막 패턴을 형성한다. 이어서, 상기 실리사이드화 저지막 패턴을 갖는 반도체기판을 후열처리하여 상기 게이트 패턴 및 상기 소오스/드레인 영역들 내의 불순물들을 활성화시킨다. 상기 활성화된 게이트 패턴의 표면 및 상기 활성화된 소오스/드레인 영역들의 표면들에 니켈 실리사이드막을 선택적으로 형성한다.



<44> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

<45> 도 1은 본 발명의 실시예들에 따른 모스 트랜지스터들의 제조방법을 설명하기 위한 공정 순서도(process flow chart)이고, 도 2 내지 도 7은 본 발명의 실시예들에 따른 모스 트랜지스터들의 제조방법을 설명하기 위한 단면도들이다.

<46> 도 1 및 도 2를 참조하면, 반도체기판(51)의 소정영역에 소자분리막(53)을 형성하여 활성영역을 한정한다. 상기 활성영역 상에 게이트 절연막(55)을 형성한다. 상기 게이트 절연막(55)을 갖는 반도체기판의 전면 상에 게이트 도전막(gate conductive layer)을 형성한다. 상기 게이트 도전막은 N형의 불순물들 또는 P형의 불순물들로 도우핑된 실리콘막으로 형성할 수 있다. 좀 더 구체적으로, 상기 게이트 도전막은 N형의 도우프트 폴리실리콘막 또는 P형의 도우프트 폴리실리콘막으로 형성할 수 있다. NMOS 트랜지스터를 형성하기 위해서는 상기 게이트 도전막은 N형의 도우프트 실리콘막으로 형성하는 것이 바람직하고, PMOS 트랜지스터를 형성하기 위해서는 상기 게이트 도전막은 P형의 도우프트 실리콘막으로 형성하는 것이 바람직하다.

<47> 상기 게이트 도전막을 패터닝하여 상기 게이트 절연막의 소정영역 상에 게이트 패턴(57), 즉 게이트 전극을 형성한다(도 1의 단계 1). 상기 게이트 패턴(57)은 상기 활성영역의

상부를 가로지르도록 형성된다. 상기 게이트 패턴(57) 및 소자분리막(53)을 이온주입 마스크들로 사용하여 상기 활성영역 내에 제1 불순물 이온들을 주입하여 LDD 영역들(lightly doped drain regions; 59)을 형성한다(도 1의 단계 3). 상기 제1 불순물 이온들은 N형 불순물 이온들 또는 P형 불순물 이온들일 수 있다. 구체적으로, 상기 N형 불순물 이온들은 비소 이온들 또는 인 이온들이고, 상기 P형 불순물 이온들은 붕소 이온들 또는 불화붕소(boron fluoride;  $\text{BF}_2$ ) 이온들이다.

<48> 도 1 및 도 3을 참조하면, 상기 LDD 영역들(59)을 갖는 반도체기판의 전면 상에 절연성 스페이스막(insulating spacer layer)을 형성한다. 상기 스페이스막은 실리콘 산화막(61) 및 실리콘 질화막(63)을 차례로 적층시키어 형성하는 것이 바람직하다. 상기 실리콘 산화막(61)을 형성하는 공정은 생략할 수도 있다.

<49> 도 1 및 도 4를 참조하면, 상기 스페이스막을 이방성 식각하여 상기 게이트 패턴(57), 즉 실리콘 패턴의 측벽 상에 절연성 스페이스(64)를 형성한다(도 1의 단계 5). 결과적으로, 상기 스페이스(64)는 실리콘 산화막 스페이스(61a) 및 실리콘 질화막 스페이스(63a)를 포함한다. 그러나, 상기 실리콘 산화막(61)을 형성하는 공정을 생략하는 경우에는, 상기 스페이스(64)는 상기 실리콘 질화막 스페이스(63a)만으로 구성된다. 이어서, 상기 게이트 패턴(57), 스페이스(64) 및 소자분리막(53)을 이온주입 마스크들로 사용하여 상기 활성영역 내에 제2 불순물 이온들을 주입하여 소오스/드레인 영역들(65)을 형성한다(도 1의 단계 7). 그 결과, 상기 스페이스(64)의 하부에 상기 LDD 영역들(59)이 잔존한다. 상기 제2 불순물 이온들 역시 N형 불순물 이온들 또는 P형 불순물 이온들일 수 있다. 상기 이온주입 공정 직후의 불순물 이온들(as-implanted impurity ions)은 상기 게이트 패턴(57) 및 활성영역 내의 실리콘 원자들 사이의 지점들(positions), 즉 인터스티셜 격자 사이트들(interstitial lattice sites)에

위치한다. 이러한 인터스티셜 불순물 이온들은 자유전자들(free electrons)을 제공하는 도우너들(donors) 또는 정공들(holes)을 제공하는 억셉터들(acceptors)로서의 역할을 하지 못한다. 즉, 상기 이온주입 공정 직후의 불순물 이온들은 비활성화된 상태(deactivated states)에 있다. 이에 따라, 상기 이온주입 공정 직후의 소오스/드레인 영역들(as-implanted source/drain regions; 65)은 야금접합(metallurgical junction)을 갖지 않으며 높은 전기적인 저항을 보인다.

<50> 계속해서, 상기 제2 불순물 이온들이 주입된 반도체기판을 사전 열처리하여(pre-anneal) 상기 소오스/드레인 영역들(65) 및 상기 게이트 패턴(57) 내의 불순물들을 활성화시킨다(도 1의 단계 9). 상기 사전 열처리 공정은 생략할 수도 있다. 상기 사전 열처리 공정은 830℃ 내지 1150℃의 온도에서 급속 열처리 공정을 사용하여 실시하는 것이 바람직하다. 또한, 상기 사전 열처리 공정은 분위기 가스로서 질소가스를 사용하여 실시할 수 있다. 상기 사전 열처리 공정 동안, 상기 인터스티셜 불순물 이온들의 대부분은 대체 격자 사이트들(substitutional lattice sites)로 이동된다(swept). 이에 따라, 상기 활성화된 불순물 이온들은 도우너들 또는 억셉터들로 작용하여 상기 소오스/드레인 영역들(65)의 전기적인 저항을 감소시킨다.

<51> 도 1 및 도 5를 참조하면, 상기 소오스/드레인 이온주입 공정 또는 상기 사전 열처리 공정이 진행된 반도체기판 상에 실리사이드화 저지막(SBL; silicidation blocking layer)을 형성한다. 상기 실리사이드화 저지막은 실리콘 산화막 및 실리콘 질화막을 차례로 적층시켜 형성하는 것이 바람직하다. 그러나, 상기 실리사이드화 저지막은 실리콘 질화막만으로 형성할 수도 있다. 일반적으로, 상기 실리사이드화 저지막은 535℃ 내지 825℃의 온도에서 화학기상증착(CVD; chemical vapor deposition) 기술을 사용하여 형성한다. 예를 들면, 상기 CVD 실리콘 질화막은 약 700℃의 온도에서 형성할 수 있다.

<52> 한편, 대부분의 도우펀트들(불순물 이온들)은 535℃ 내지 825℃의 온도 범위 내에서 쉽게 불활성화되는 성질을 갖는다. 이에 따라, 상기 실리사이드화 저지막을 형성하는 동안, 상기 게이트 패턴(57), LDD 영역들(59) 및 소오스/드레인 영역(65)들 내의 불순물들은 불활성화된다(deactivated). 상기 불활성화된 LDD 영역들(59a), 상기 불활성화된 게이트 패턴(57a) 및 상기 불활성화된 소오스/드레인 영역들(65a)은 높은 저항을 갖는다. 또한, 상기 불활성화된 소오스/드레인 영역들(65a)은 큰 접합 누설전류(large junction leakage current)를 보인다. 이에 더하여, 상기 게이트 절연막(55)에 인접한 상기 불활성화된 게이트 패턴(57a) 내의 불순물들이 고갈되어(depleted) 상기 게이트 절연막(55)에 기인하는 게이트 커패시터와 직렬 연결된 디플리션(depletion) 커패시터를 생성시킨다(generate). 결과적으로, 전체 게이트 커패시턴스(total gate capacitance)가 감소한다. 이러한 게이트 커패시턴스의 감소는 상기 게이트 절연막의 등가적인 두께(equivalent thickness)를 증가시키는 결과를 초래한다.

<53> 계속해서, 상기 실리사이드화 저지막을 패터닝하여 상기 게이트 패턴(57a) 및 소오스/드레인 영역들(65a)을 노출시키는 실리사이드화 저지막 패턴(70)을 형성한다(도 1의 단계 11). 그 결과, 상기 실리사이드화 저지막 패턴(70)은 차례로 적층된 실리콘 산화막 패턴(67) 및 실리콘 질화막 패턴(69)을 포함한다. 상기 실리사이드화 저지막 패턴(70)은 상기 실리콘 질화막 패턴(69)만으로 이루어질 수도 있다. 상기 실리사이드화 저지막 패턴(70)은 입출력 보호회로(input/output protection circuit; 도시하지 않음)를 덮도록 형성된다. 이에 따라, 도 5에 보여진 활성영역은 내부회로(internal circuit)의 MOS 트랜지스터가 형성되는 영역에 해당한다.

<54> 도 1 및 도 6을 참조하면, 상기 실리사이드화 저지막 패턴(70)을 갖는 반도체기판을 후열처리하여(post-anneal) 상기 게이트 패턴(57a), LDD 영역들(59a) 및 소오스/드레인 영역들(65a) 내의 불순물들을 재활성화시킨다(reactivate, 도 1의 단계 13). 이에 따라, 상기 디플리

선 커패시터가 제거되고, 재활성화된 게이트 패턴(57b)이 형성된다. 이에 더하여, 상기 소오스/드레인 영역들(65a) 및 상기 LDD 영역들(59a)은 재활성화된 소오스/드레인 영역들(65b) 및 재활성화된 LDD 영역들(59b)로 변환되어(converted) 감소된 저항(reduced resistance)을 갖는다. 상기 후열처리 공정(post-annealing process)은 830℃ 내지 1150℃의 온도에서 급속 열처리 기술을 사용하여 실시하는 것이 바람직하다. 또한, 상기 후열처리 공정은 분위기 가스로서 질소가스를 사용하여 실시할 수 있다.

<55> 도 1, 도 7 및 도 8을 참조하면, 상기 후열처리 공정이 완료된 반도체기판 상에 금속 셀리사이드 기술, 즉 니켈 셀리사이드 기술을 적용한다(도 1의 단계 15). 좀 더 구체적으로, 상기 후열처리 공정이 완료된 반도체기판의 표면을 세정하여 상기 재활성화된 게이트 패턴(57b) 및 상기 재활성화된 소오스/드레인 영역들(65b)의 표면 상에 잔존하는 자연산화막(native oxide layer) 및 오염입자들(contaminated particles)을 제거한다. 상기 세정된 반도체기판의 전면 상에 니켈막(71)을 형성한다. 상기 니켈막(71)은 순수 니켈막(pure nickel layer) 또는 니켈 합금막(nickel alloy layer)로 형성한다. 상기 니켈 합금막은 20 atom% 이하의 혼합비(mixing ratio)를 갖는 탄탈륨(Ta), 지르코늄(Zr), 타이타늄(Ti), 하프늄(Hf), 텅스텐(W), 코발트(Co), 백금(Pt), 팔라듐(Pd), 바나듐(V), 니오비움(Nb) 또는 이들의 조합물을 함유한다(contain). 특히, 상기 니켈 합금막이 탄탈륨을 함유하는 경우에, 상기 탄탈륨은 후속 공정에서 형성되는 니켈 모노 실리사이드막들의 열적 안정성(thermal stability)을 향상시킨다.

<56> 이어서, 상기 니켈막(71)을 갖는 반도체기판을 400℃ 내지 530℃의 저온에서 열처리한다. 그 결과, 상기 니켈막(71)이 상기 게이트 패턴(57b)의 실리콘 원자들 및 상기 소오스/드레인 영역들(65b)의 실리콘 원자들과 반응하여 상기 게이트 패턴(57b) 및 상기 소오스/

드레인 영역들(65b)의 표면들에 각각 선택적으로 제1 및 제2 니켈 모노 실리사이드막들(NiSi layers; 71a, 71b)을 생성시킨다.

<57>        상기 열처리 온도가 550℃보다 높은 경우에는, 상기 니켈 모노 실리사이드막들(NiSi layers) 대신에 상기 니켈 모노 실리사이드막보다 높은 저항을 갖는 니켈 다이 실리사이드막(NiSi<sub>2</sub> layer)이 형성된다. 이에 따라, 상기 열처리 온도, 즉 실리사이드화 온도(silicidation temperature)는 400℃ 내지 530℃의 저온인 것이 바람직하다. 다음에, 상기 스페이서(64), 소자분리막(53) 및 실리사이드화 저지막 패턴(70) 상의 미반응된 니켈막(unreacted nickel layer)을 제거하여 상기 제1 니켈 모노 실리사이드막(71a)을 상기 제2 니켈 모노 실리사이드막(71b)으로부터 전기적으로 분리시킨다(disconnect). 상기 미반응된 니켈막은 황산용액(H<sub>2</sub>SO<sub>4</sub>) 및 과산화수소(H<sub>2</sub>O<sub>2</sub>)의 혼합용액(mixture)을 사용하여 제거할 수 있다.

<58>        계속해서, 상기 니켈 셀리사이드 공정이 완료된 반도체기판의 전면 상에 층간절연막(73)을 형성한다. 상기 층간절연막(73)은 550℃보다 낮은 온도에서 형성하는 것이 바람직하다. 이는 상기 니켈 모노 실리사이드막들(71a, 71b)의 상변이(phase transformation)를 억제시키기 위함이다.

<59>        <실험예들; examples>

<60>        이하에서는, 상술한 실시예들에 따라 제작된 시료들(samples)의 여러가지 측정결과들(various measurement results)을 설명하기로 한다.

<61>        도 9a 내지 도 11a는 통상의(conventional) 니켈 셀리사이드 기술 및 전형적인(typical) 코발트 셀리사이드 기술을 사용하여 제작된 NMOS 트랜지스터들의 전기적인 특성들을 보여주는 그래프들이고, 도 9b 내지 도 11b는 통상의 니켈 셀리사이드 기술 및 전형적인 코발트 셀리사

이드 기술을 사용하여 제작된 PMOS 트랜지스터들의 전기적인 특성들을 보여주는 그래프들이다. 좀 더 구체적으로, 도 9a 및 도 9b는 각각 NMOS 트랜지스터들의 문턱전압 특성을 보여주는 그래프 및 PMOS 트랜지스터들의 문턱전압 특성을 보여주는 그래프이다. 도 9a 및 도 9b의 도면들에 있어서, 가로축들(abscissas)은 채널길이( $L_{ch}$ )를 나타내고 세로축들(ordinates)은 문턱전압( $V_{th}$ )을 나타낸다. 여기서, 상기 채널길이( $L_{ch}$ )는 게이트 전극의 폭에 해당한다.

<62> 또한, 도 10a는 여러가지의 채널길이들을 갖는 NMOS 트랜지스터들의 온/오프 전류 특성(즉, 온 전류 및 오프 전류의 상관관계(correlation))을 보여주는 그래프이고, 도 10b는 여러가지의 채널길이들을 갖는 PMOS 트랜지스터들의 온/오프 전류 특성을 보여주는 그래프이다. 상기 NMOS 트랜지스터들 및 PMOS 트랜지스터들의 채널 폭들은  $10\mu m$ 이었다. 도 10a 및 도 10b의 도면들에 있어서, 가로축들(abscissas)은 단위 채널 폭당(per unit channel width) 드레인 포화 전류(drain saturation current;  $I_{dsat}$ )를 나타내고, 세로축들(ordinates)은 단위 채널 폭당 드레인 오프 전류(drain off current;  $I_{doff}$ )를 나타낸다. 여기서, 상기 드레인 포화전류( $I_{dsat}$ )는 소오스 영역 및 벌크 영역을 접지시키고 드레인 영역 및 게이트 전극에 전압  $V_{dd}$ (NMOS 트랜지스터들에 대하여 +1 볼트, PMOS 트랜지스터들에 대하여 -1 볼트)를 인가한 경우에 상기 드레인 영역을 통하여 흐르는 전류이다. 또한, 상기 드레인 오프 전류( $I_{doff}$ )는 상기 소오스 영역, 벌크 영역 및 게이트 전극을 접지시키고 상기 드레인 영역에 상기 전압  $V_{dd}$ (NMOS 트랜지스터들에 대하여 +1 볼트, PMOS 트랜지스터들에 대하여 -1 볼트)를 인가한 경우에 상기 드레인 영역을 통하여 흐르는 전류이다.

<63> 이에 더하여, 도 11a 및 도 11b는 각각 NMOS 트랜지스터의 C-V 플롯(capacitance-voltage plot) 및 PMOS 트랜지스터의 C-V 플롯이다. 상기 C-V 플롯들은 100kHz의 고주파에서 측정되었다. 이 경우에, NMOS 트랜지스터들 및 PMOS 트

랜지스터들은  $50 \times 50 \mu\text{m}^2$  의 채널면적(게이트 면적)을 갖도록 형성되었다. 또한, 도 11a 및 도 11b의 도면들에 있어서, 가로축들은 게이트 전압( $V_G$ )을 나타내고, 세로축들은 게이트 커패시턴스(C)를 나타낸다. 이때, 소오스 영역 및 드레인 영역은 벌크영역과 함께 접지되었다. 이 경우에, 상기 게이트 전극에 반전 모드(inversion mode)의 게이트 전압이 인가될지라도, 상기 소오스 영역 및 드레인 영역 내의 다수 캐리어들(majority carriers)이 채널 영역으로 충분히 공급되어 상기 채널 영역에 디플리션 영역(depletion region)이 형성되는 것을 방지한다. 이에 따라, 상기 C-V 플롯들은 저주파에서 측정되는 C-V 플롯들과 동일한 특성을 보인다.

<64> 한편, 도 9a 내지 도 11a의 측정결과들을 보여주는 NMOS 트랜지스터들은 다음의 [표 1]에 기재된 주요 공정 조건들(key process conditions)을 사용하여 제작되었다.

<65> 【표 1】

공정 파라미터	NiSi 시료	CoSi <sub>2</sub> 시료
1. 게이트 절연막	실리콘 옥시나이트라이드막(SiON), 16Å	
2. 게이트 패턴	N형 폴리실리콘막	
3. LDD 이온주입	Arsenic, $2.5 \times 10^{14}$ atoms/cm <sup>2</sup> , 5KeV	
4. S/D 이온주입	Arsenic, $5 \times 10^{15}$ atoms/cm <sup>2</sup> , 40KeV	
5. 사전 열처리	1050℃, 질소 분위기, 급속 열처리(RTP)	
6. 실리사이드화 저지막	실리콘 질화막(SiN), 500Å, 700℃(LPCVD)	
7. 셀리사이드 공정 (실리사이드화 열처리)	450℃	제1 열처리(450℃) 제2 열처리(830℃)

<66> 또한, 도 9b 내지 도 11b의 측정결과들을 보여주는 PMOS 트랜지스터들은 다음의 [표 2]에 기재된 주요 공정 조건들을 사용하여 제작되었다.

<67>



【표 2】

공정 파라미터	NiSi 시료	CoSi <sub>2</sub> 시료
1. 게이트 절연막	실리콘 옥시나이트라이드막(SiON), 16 Å	
2. 게이트 패턴	P형 폴리실리콘막	
3. LDD 이온주입	Boron, $2 \times 10^{14}$ atoms/cm <sup>2</sup> , 0.6KeV	
4. S/D 이온주입	Boron, $3 \times 10^{15}$ atoms/cm <sup>2</sup> , 3KeV	
5. 사전 열처리	1050°C, 질소 분위기, 급속 열처리(RTP)	
6. 실리사이드화 저지막	실리콘 질화막(SiN), 500 Å, 700°C (LPCVD)	
7. 셀리사이드 공정 (실리사이드화 열처리)	450°C	제1 열처리(450°C) 제2 열처리(830°C)

<68> 도 9a 및 도 9b를 참조하면, 니켈 셀리사이드 기술을 사용하여 제작된 NMOS 트랜지스터들은 코발트 셀리사이드 기술을 사용하여 제작된 NMOS 트랜지스터들에 비하여 상대적으로 높은 문턱전압들( $V_{th}$ )을 보였다. 이와 마찬가지로, 상기 니켈 셀리사이드 기술을 사용하여 제작된 PMOS 트랜지스터들은 상기 코발트 셀리사이드 기술을 사용하여 제작된 PMOS 트랜지스터들에 비하여 상대적으로 높은 문턱전압들을 보였다. 결과적으로, 상기 코발트 실리사이드막의 형성공정은 상기 실리사이드화 저지막을 형성하는 동안 상기 게이트 패턴들 내에 생성된 디플리션 영역들을 제거하는 반면에 상기 니켈 실리사이드막의 형성공정은 상기 실리사이드화 저지막을 형성하는 동안 상기 게이트 패턴들 내에 생성된 디플리션 영역들을 제거하지 못하는 것으로 이해될 수 있다. 이는 상기 코발트 실리사이드막을 형성하기 위한 열처리 온도가 상기 게이트 패턴들 내의 상기 니켈 실리사이드막을 형성하기 위한 열처리 온도보다 높기 때문이다. 그럼에도 불구하고, 상기 니켈 실리사이드막을 825°C보다 높은 온도에서 형성하는 것은 바람직하지 못하다. 이는 상기 니켈 실리사이드막이 약 550°C보다 높은 온도에서 형성되는 경우에 상기 니켈 실리사이드막의 상변이(phase transformation)가 발생하여 그것의 저항을 증가시키기 때문이다.

<69> 도 10a 및 도 10b를 참조하면, 니켈 셀리사이드 기술을 채택하는 NMOS 트랜지스터들의 드레인 포화전류( $I_{dsat}$ )는 코발트 셀리사이드 기술을 채택하는 NMOS 트랜지스터들의 드레인 포화전류( $I_{dsat}$ )에 비하여 작았다. 예를 들면, NMOS 트랜지스터들에 있어서, 상기 드레인 오프 전류( $I_{doff}$ )가  $10 \text{ nA}/\mu\text{m}$ 이었을 때, 니켈 셀리사이드 시료들은 약  $500 \mu\text{A}/\mu\text{m}$ 의 드레인 포화전류( $I_{dsat}$ )를 보였고 코발트 셀리사이드 시료들은 약  $540 \mu\text{A}/\mu\text{m}$ 의 드레인 포화전류( $I_{dsat}$ )를 보였다. 이는 상기 니켈 셀리사이드 시료들(samples)이 불활성화된(deactivated) N형 소오스/드레인 영역들을 갖는 반면에 상기 코발트 셀리사이드 시료들은 코발트 실리사이드화 공정 동안 활성화된 N형 소오스/드레인 영역들을 갖기 때문이다.

<70> 이에 반하여, 상기 니켈 셀리사이드 기술을 채택하는 PMOS 트랜지스터들의 드레인 포화전류( $I_{dsat}$ )는 상기 코발트 셀리사이드 기술을 채택하는 PMOS 트랜지스터들의 드레인 포화전류( $I_{dsat}$ )에 비하여 큰 값을 보였다. 예를 들면, PMOS 트랜지스터들에 있어서, 상기 드레인 오프 전류( $I_{doff}$ )가  $1 \text{ nA}/\mu\text{m}$ 이었을 때, 니켈 셀리사이드 시료들은 약  $185 \mu\text{A}/\mu\text{m}$ 의 드레인 포화전류( $I_{dsat}$ )를 보였고 코발트 셀리사이드 시료들은 약  $175 \mu\text{A}/\mu\text{m}$ 의 드레인 포화전류( $I_{dsat}$ )를 보였다. 이는 니켈 실리사이드막 및 P형 소오스/드레인 영역 사이의 콘택저항이 코발트 실리사이드막 및 P형 소오스/드레인 영역 사이의 콘택저항보다 작기 때문이다.

<71> 도 11a 및 도 11b를 참조하면, NMOS 트랜지스터 및 PMOS 트랜지스터의 축적모드(accumulation mode)에 있어서, 니켈 셀리사이드 시료들은 코발트 셀리사이드 시료들과 동일한 게이트 커패시턴스를 보였다. 그러나, NMOS 트랜지스터의 반전 모드(inversion mode)에 있어서, 니켈 셀리사이드 시료들의 게이트 커패시턴스는 코발트 셀리사이드 시료들의 게이트 커패시턴스보다 낮았다(도 11a의 "A" 영역 참조). 이와 마찬가지로, PMOS 트랜지스터의 반전 모드(inversion mode)에 있어서, 니켈 셀리사이드 시료들의 게이트 커패시턴스는 코발트 셀리사이드

드 시료들의 게이트 커패시턴스보다 낮았다(도 11b의 "A" 영역 참조). 이는 상기 니켈 셀리사이드 시료들의 게이트 패턴들 내에 상기 실리사이드화 저지막을 형성하는 동안 생성된 불순물 고갈 영역들(impurity depletion region)이 존재하는 것으로 이해될 수 있다.

<72> 좀 더 구체적으로, 상기 NMOS 트랜지스터의 N형 게이트 패턴 내에는 상기 실리사이드 저지막을 형성하는 동안 불순물들의 비활성화로 인하여 전자공핍층(electron depletion layer)이 형성된다. 상기 니켈 셀리사이드 시료들의 경우에, 상기 전자 공핍층은 니켈 실리사이드막을 형성한 후에도 여전히 잔존한다. 이에 반하여, 상기 코발트 셀리사이드 시료들의 경우에, 상기 전자 공핍층의 폭은 코발트 실리사이드막을 형성하는 동안 감소된다. 그럼에도 불구하고, 상기 축적모드에서, 상기 니켈 셀리사이드 기술을 채택하는 NMOS 트랜지스터는 코발트 셀리사이드 기술을 채택하는 NMOS 트랜지스터와 동일한 게이트 커패시턴스를 보였다. 이는 상기 NMOS 트랜지스터의 게이트 패턴에 음의 게이트 전압(negative gate voltage)이 인가되기 때문이다. 다시 말해서, 상기 NMOS 트랜지스터의 게이트 패턴 내에 충분한 양(sufficient amount)의 전자들이 공급되므로 상기 전자 공핍층을 제거하기 때문이다.

<73> 한편, 상기 반전모드(inversion mode)의 경우에, 상기 NMOS 트랜지스터의 게이트 패턴에는 양의 게이트 전압이 인가된다. 이에 따라, 상기 니켈 셀리사이드 시료들의 N형 게이트 패턴 내에 형성된 전자 공핍층은 여전히 잔존한다. 그 결과, 상기 니켈 셀리사이드 시료는 상기 코발트 셀리사이드 시료에 비하여 상대적으로 낮은 게이트 커패시턴스를 갖는 것으로 해석될 수 있다.

<74> 도 11b에 도시된 PMOS 트랜지스터들의 C-V 플롯 역시 상기 NMOS 트랜지스터들의 C-V 플롯들에 대한 설명과 동일한 원리로 해석될 수 있음은 당업자에게 자명하다.

<75> 도 12a는 도 9a 내지 도 11a에서 설명된 NMOS 트랜지스터들의 소오스/드레인 영역들 및 본 발명의 바람직한 일 실시예에 따라 제작된 NMOS 트랜지스터들의 소오스/드레인 영역들의 저항 특성을 보여주는 그래프이고, 도 12b는 도 9a 내지 도 11a에서 설명된 NMOS 트랜지스터의 엘디디 영역들 및 본 발명의 바람직한 일 실시예에 따라 제작된 NMOS 트랜지스터의 엘디디 영역들의 저항 특성을 보여주는 그래프이다. 도 12a 및 도 12b의 도면들에 있어서, 가로축들은 면저항( $R_s$ ; sheet resistance)을 나타내고, 세로축들은 축적분포율(cummulative distribution rate)을 나타낸다. 여기서, 상기 소오스/드레인 영역들 및 LDD 영역들의 면저항은 샬리사이드 공정 전에 측정되었다. 또한, 본 발명의 바람직한 일 실시예에 따른 NMOS 트랜지스터들은 다음의 [표 3]에 기재된 주요 공정 조건들을 사용하여 제작되었다.

<76> 【표 3】

공정 파라미터	NMOS 트랜지스터
1. 게이트 절연막	실리콘 옥시나이트라이드막( $\text{SiON}$ ), 16Å
2. 게이트 패턴	N형 폴리실리콘막
3. LDD 이온주입	Arsenic, $2.5 \times 10^{14}$ atoms/ $\text{cm}^2$ , 5KeV
4. S/D 이온주입	Arsenic, $5 \times 10^{15}$ atoms/ $\text{cm}^2$ , 40KeV
5. 샬리사이드화 저지막	실리콘 질화막( $\text{SiN}$ ), 500Å, 700°C(LPCVD)
6. 후 열처리	1050°C, 질소 분위기, 급속 열처리(RTP)

<77> 상기 [표 3]으로부터 알 수 있듯이, 본 발명의 바람직한 일 실시예에 따르면, 샬리사이드화 저지막을 형성하기 전에 어떠한 열처리 공정도 적용되지 않았다. 그 대신에, 상기 샬리사이드화 저지막을 형성한 후에 후열처리 공정(post-annealing process)을 실시하였다. 그 결과, 본 발명의 바람직한 실시예에 따른 NMOS 트랜지스터들의 N형 소오스/드레인 영역들은 도 12a에 보여진 바와 같이 100  $\Omega/\text{square}$  내지 125  $\Omega/\text{square}$ 의 면저항을 보였다. 그러나, 도 9a 내지

도 11a에서 설명된 NMOS 트랜지스터들의 N형 소오스/드레인 영역들은 175  $\Omega/\text{square}$  내지 210  $\Omega/\text{square}$ 의 면저항을 보였다.

<78> 이에 더하여, 본 발명의 바람직한 실시예에 따른 NMOS 트랜지스터들의 N형 LDD 영역들은 도 12b에 보여진 바와 같이 200  $\Omega/\text{square}$  내지 210  $\Omega/\text{square}$ 의 면저항을 보였다. 그러나, 도 9a 내지 도 11a에서 설명된 NMOS 트랜지스터들의 N형 LDD 영역들은 360  $\Omega/\text{square}$  내지 380  $\Omega/\text{square}$ 의 면저항을 보였다.

<79> 결과적으로, 상기 실리사이드화 저지막을 형성한 후에 상기 후열처리 공정을 실시하는 경우에 상기 N형 소오스/드레인 영역들 및 N형 LDD 영역들은 재활성화되는(reactivated) 것으로 이해될 수 있다.

<80> 도 13a 내지 도 15a와 아울러서 도 13b 내지 도 15b는 상기 실리사이드화 저지막의 형성 공정의 영향력을 직접적으로 알아보기 위한 측정결과들을 보여주는 그래프들이다.

<81> 도 13a 내지 도 15a는 니켈 샐리사이드 기술 및 코발트 샐리사이드 기술을 채택하는 NMOS 트랜지스터들의 전기적인 특성들을 보여주는 그래프들이고, 도 13b 내지 도 15b는 상기 니켈 샐리사이드 기술 및 상기 코발트 샐리사이드 기술을 채택하는 PMOS 트랜지스터들의 전기적인 특성들을 보여주는 그래프들이다. 구체적으로, 도 13a 및 도 13b는 각각 NMOS 트랜지스터들의 문턱전압 특성을 보여주는 그래프 및 PMOS 트랜지스터들의 문턱전압 특성을 보여주는 그래프이다. 도 13a 및 도 13b의 도면들에 있어서, 가로축들(abscissas)은 채널길이( $L_{ch}$ )를 나타내고 세로축들(ordinates)은 문턱전압( $V_{th}$ )을 나타낸다. 여기서, 상기 채널길이( $L_{ch}$ )는 게이트 전극의 폭에 해당한다.

<82> 또한, 도 14a 및 도 14b는 각각 NMOS 트랜지스터의 C-V 플롯(capacitance-voltage plot) 및 PMOS 트랜지스터의 C-V 플롯이다. 상기 C-V 플롯들은 도 11a 및 도 11b에서 설명된 바와 같이 100kHz의 고주파에서 측정되었다. 또한, 상기 NMOS 트랜지스터들 및 PMOS 트랜지스터들은  $50 \times 50 \mu\text{m}^2$ 의 채널면적(게이트 면적)을 갖도록 형성되었다. 도 11a 및 도 11b의 도면들에 있어서, 가로축들은 게이트 전압( $V_G$ )을 나타내고, 세로축들은 게이트 커패시턴스(C)를 나타낸다. 이때, 소오스 영역 및 드레인 영역은 도 11a 및 도 11b에서 설명된 바와 같이 벌크영역과 함께 접지되었다.

<83> 이에 더하여, 도 15a는 여러가지의 채널길이들을 갖는 NMOS 트랜지스터들의 온/오프 전류 특성을 보여주는 그래프이고, 도 15b는 여러가지의 채널길이들을 갖는 PMOS 트랜지스터들의 온/오프 전류 특성을 보여주는 그래프이다. 도 15a 및 도 15b의 도면들에 있어서, 가로축들(abscissas)은 단위 채널 폭당(per unit channel width) 드레인 포화전류(drain saturation current;  $I_{dsat}$ )를 나타내고, 세로축들(ordinates)은 단위 채널 폭당 드레인 오프 전류(drain off current;  $I_{doff}$ )를 나타낸다. 여기서, 상기 드레인 포화전류( $I_{dsat}$ ) 및 드레인 오프 전류( $I_{doff}$ )는 도 10a 및 도 10b에서와 동일한 바이어스 조건들을 사용하여 측정되었다.

<84> 도 13a 내지 도 15a의 측정결과들을 보여주는 NMOS 트랜지스터들은 다음의 [표 4]에 기재된 주요 공정 조건들을 사용하여 제작되었다.

<85>

【표 4】

공정 파라미터	NiSi 시료	CoSi <sub>2</sub> 시료
1. 게이트 절연막	실리콘 옥시나이트라이드막(SiON), 16Å	
2. 게이트 패턴	N형 폴리실리콘막	
3. LDD 이온주입	Arsenic, $2.5 \times 10^{14}$ atoms/cm <sup>2</sup> , 5KeV	
4. S/D 이온주입	Arsenic, $5 \times 10^{15}$ atoms/cm <sup>2</sup> , 40KeV	
5. 사전 열처리	1050℃, 질소 분위기, 급속 열처리(RTP)	
6. 실리사이드화 저지막	생략(skipped)	
7. 셀리사이드 공정 (실리사이드화 열처리)	450℃	제1 열처리(450℃) 제2 열처리(830℃)

<86> 또한, 도 13b 내지 도 15b의 측정결과들을 보여주는 PMOS 트랜지스터들은 다음의 [표 5]에 기재된 주요 공정 조건들을 사용하여 제작되었다.

&lt;87&gt; 【표 5】

공정 파라미터	NiSi 시료	CoSi <sub>2</sub> 시료
1. 게이트 절연막	실리콘 옥시나이트라이드막(SiON), 16Å	
2. 게이트 패턴	P형 폴리실리콘막	
3. LDD 이온주입	Boron, $2 \times 10^{14}$ atoms/cm <sup>2</sup> , 0.6KeV	
4. S/D 이온주입	Boron, $3 \times 10^{15}$ atoms/cm <sup>2</sup> , 3KeV	
5. 사전 열처리	1050℃, 질소 분위기, 급속 열처리(RTP)	
6. 실리사이드화 저지막	생략(skipped)	
7. 셀리사이드 공정 (실리사이드화 열처리)	450℃	제1 열처리(450℃) 제2 열처리(830℃)

<88> 도 13a 및 도 13b를 참조하면, 상기 실리사이드 저지막의 형성 공정을 생략하는 경우에, 니켈 셀리사이드 기술을 채택하는 모스 트랜지스터들은 코발트 셀리사이드 기술을 채택하는 모스 트랜지스터들과 동일한 문턱전압 특성을 보였다. 결과적으로, 상기 실리사이드화 저지막의

형성공정이 상기 니켈 셀리사이드 기술을 채택하는 모스 트랜지스터들의 문턱전압 특성을 저하시키는 요인(factor)으로 작용하는 것으로 이해될 수 있다.

<89> 도 14a 및 도 14b를 참조하면, NMOS 트랜지스터들 및 PMOS 트랜지스터들 모두에 있어서, 니켈 셀리사이드 시료들은 코발트 셀리사이드 시료들과 동일한 C-V 특성들을 보였다. 따라서, 이러한 C-V 특성들 역시 상기 실리사이드화 저지막을 형성하는 공정의 영향을 받는 것으로 이해될 수 있다.

<90> 도 15a 및 도 15b를 참조하면, 니켈 셀리사이드 기술을 사용하여 제작된 NMOS 트랜지스터들은 코발트 셀리사이드 기술을 사용하여 제작된 NMOS 트랜지스터들과 동일한 온/오프 전류 특성을 보였다. 결과적으로, 상기 니켈 셀리사이드 시료들의 N형 소오스/드레인 영역들이 상기 코발트 셀리사이드 시료들의 N형 소오스/드레인 영역들과 동일한 저항을 갖는 것으로 해석될 수 있다. 다시 말해서, 상기 실리사이드화 저지막을 형성하지 않는 경우에, 상기 니켈 셀리사이드 시료들의 N형 소오스/드레인 영역들은 활성화된 상태(activated state)를 유지하는 것으로 이해될 수 있다.

<91> 한편, PMOS 트랜지스터들에 있어서, 니켈 셀리사이드 시료들의 온/오프 전류 특성은 코발트 셀리사이드 시료들의 온/오프 전류 특성보다 오히려 우수하였다. 예를 들면, 드레인 오프 전류( $I_{doff}$ )가  $10 \text{ nA}/\mu\text{m}$ 이었을 때, 니켈 셀리사이드 시료들은 약  $220 \mu\text{A}/\mu\text{m}$ 의 드레인 포화전류( $I_{dsat}$ )를 보였고 코발트 셀리사이드 시료들은 약  $185 \mu\text{A}/\mu\text{m}$ 의 드레인 포화전류( $I_{dsat}$ )를 보였다. 즉, 니켈 셀리사이드 시료들의 드레인 포화전류가 코발트 셀리사이드 시료들의 드레인 포화전류에 비하여 약 19%만큼(by about 19%) 증가되었다. 결과적으로, 도 15b에 보여진 니켈 셀리사이드 시료들의 온/오프 전류 특성은 도 10b에 보여진 니켈 셀리사이드 시료들의 온/오프 전류 특성에 비하여 현저히 개선되었다. 이는 상기 실리사이드화 저지막의 형성을 생략하는 경



위에 상기 니켈 실리사이드 시료들의 P형 게이트 전극 및 P형 소오스/드레인 영역들이 활성화된 상태를 유지하기 때문이다. 구체적으로, 상기 온/오프 전류 특성의 개선은 상기 활성화된 P형 게이트 전극 내의 불순물 고갈층이 불활성화된 P형 게이트 전극 내의 불순물 고갈층보다 좁다는 사실에 기인한다. 이에 따라, 상기 활성화된 P형 게이트 전극을 갖는 모스 트랜지스터의 온 전류는 불활성화된 P형 게이트 전극을 갖는 모스 트랜지스터의 온 전류보다 크다. 또한, 상기 온/오프 전류 특성의 개선은 상기 활성화된 P형 소오스/드레인 영역들 및 그 위의 니켈 실리사이드막 사이의 콘택저항이 불활성화된 P형 소오스/드레인 영역들 및 그 위의 니켈 실리사이드막 사이의 콘택저항보다 현저히 작다는 사실에 기인한다.

<92> 도 16a 및 도 17a는 니켈 실리사이드 기술을 사용하여 제작된 NMOS 트랜지스터들의 전기적인 특성들을 보여주는 그래프들이고, 도 16b 및 도 17b는 상기 니켈 실리사이드 기술을 사용하여 제작된 PMOS 트랜지스터들의 전기적인 특성들을 보여주는 그래프이다. 구체적으로, 도 16a 및 도 16b는 각각 NMOS 트랜지스터들의 C-V 플롯들 및 PMOS 트랜지스터들의 C-V 플롯들이다. 상기 C-V 플롯들은 도 11a 및 도 11b에서 설명된 것과 동일한 조건 하에서 측정되었다. 이 경우에, 상기 NMOS 트랜지스터들 및 PMOS 트랜지스터들 역시  $50 \times 50 \mu\text{m}^2$ 의 채널면적(게이트 면적)을 갖도록 형성되었다. 도 17a 및 도 17b는 각각 NMOS 트랜지스터들의 온/오프 전류 특성을 보여주는 그래프 및 PMOS 트랜지스터들의 온/오프 전류 특성을 보여주는 그래프이다. 도 17a 및 도 17b에 보여진 데이터들은 도 10a 및 도 10b에서 설명된 것과 동일한 바이어스 조건 하에서 측정되었다.

<93> 상기 NMOS 트랜지스터들 및 PMOS 트랜지스터들의 게이트 절연막들은  $14\text{\AA}$ 의 두께를 갖는 실리콘 옥시나이트라이드막으로 형성하였다. 또한, 상기 모스 트랜지스터들의 게이트 패턴들,

LDD 영역들, 소오스/드레인 영역들, 실리사이드화 저지막들 및 실리사이드막들은 [표 1] 및 [표 2]에 기재된 것과 동일한 공정 조건들을 사용하여 형성하였다.

<94> 도 16a 및 도 16b의 도면들에 있어서, 참조부호 "○"로 표시한 데이터들은 실리사이드화 저지막(SBL; silicidation blocking layer)을 형성한 다음에 후열처리 공정이 적용된 시료들의 측정결과들(measurement results)을 나타내고, 참조부호 "△"로 표시한 데이터들은 소오스/드레인 이온주입 공정 후에 사전 열처리 공정을 채택하고 상기 실리사이드화 저지막의 형성공정 및 상기 후열처리 공정을 배제시킨 시료들의 측정결과들을 나타낸다. 또한, 참조부호 "□"로 표시한 데이터들은 상기 실리사이드화 저지막을 형성하기 전에 상기 사전 열처리 공정을 채택하고 상기 후 열처리 공정을 배제시킨 시료들의 측정결과들을 나타낸다.

<95> 도 17a 및 도 17b의 도면들에 있어서, 참조부호 "△"로 표시한 데이터들은 실리사이드화 저지막(SBL; silicidation blocking layer)을 형성한 다음에 후열처리 공정이 적용된 시료들의 측정결과들을 나타내고, 참조부호 "□"로 표시한 데이터들은 소오스/드레인 이온주입 공정 후에 사전 열처리 공정을 채택하고 상기 실리사이드화 저지막(SBL)의 형성공정 및 상기 후열처리 공정을 배제시킨 시료들의 측정결과들을 나타낸다. 또한, 참조부호 "▽"로 표시한 데이터들은 상기 실리사이드화 저지막(SBL)을 형성하기 전에 상기 사전 열처리 공정을 채택하고 상기 후 열처리 공정을 배제시킨 시료들의 측정결과들을 나타낸다.

<96> 상기 사전 열처리 공정 및 후 열처리 공정은 1050℃의 온도에서 급속 열처리 기술을 사용하여 실시하였다. 이때, 질소 가스가 분위기 가스로 사용되었다.

<97> 도 16a 및 도 16b를 참조하면, 상기 사전 열처리 공정이 실시되었고 상기 후열처리 공정이 생략되었을 때, NMOS 트랜지스터의 반전 모드에서의 게이트 커패시턴스는 약 33 pF이었다.

이에 반하여, 상기 후열처리 공정이 실시되었거나 상기 실리사이드화 저지막의 형성공정이 생략되었을 때, 상기 NMOS 트랜지스터의 반전 모드에서의 게이트 커패시턴스는 약 36 pF이었다.

<98> 또한, 상기 사전 열처리 공정이 실시되었고 상기 후열처리 공정이 생략되었을 때, PMOS 트랜지스터의 반전 모드에서의 게이트 커패시턴스는 약 30 pF이었다. 이에 반하여, 상기 후열처리 공정이 실시되었거나 상기 실리사이드화 저지막의 형성공정이 생략되었을 때, 상기 PMOS 트랜지스터의 반전 모드에서의 게이트 커패시턴스는 약 33 pF이었다.

<99> 결론적으로, 상기 후열처리 공정은 상기 NMOS 트랜지스터들 및 상기 PMOS 트랜지스터들의 C-V 특성들을 개선시키는 것으로 이해될 수 있다.

<100> 도 17a 및 도 17b를 참조하면, 상기 후열처리 공정을 채택하거나(employing) 상기 실리사이드화 저지막의 형성공정을 배제시킨(excluding) MOS 트랜지스터들의 온/오프 전류 특성은 상기 사전 열처리 공정을 채택하고 상기 후열처리 공정을 배제시킨 MOS 트랜지스터들의 온/오프 전류 특성에 비하여 개선되었다. 예를 들면, NMOS 트랜지스터들의 드레인 오프 전류( $I_{doff}$ )가  $10 \text{ nA}/\mu\text{m}$ 이었을 때, 상기 후열처리 공정을 채택하거나(employing) 상기 실리사이드화 저지막의 형성공정을 배제시킨(excluding) NMOS 트랜지스터들의 드레인 포화전류( $I_{dsat}$ )는 약  $590 \mu\text{A}/\mu\text{m}$ 이었고 상기 사전 열처리 공정을 채택하고 상기 후열처리 공정을 배제시킨 NMOS 트랜지스터들의 드레인 포화전류( $I_{dsat}$ )는 약  $550 \mu\text{A}/\mu\text{m}$ 이었다. 또한, PMOS 트랜지스터들의 드레인 오프 전류( $I_{doff}$ )가  $10 \text{ nA}/\mu\text{m}$ 이었을 때, 상기 후열처리 공정을 채택하거나(employing) 상기 실리사이드화 저지막의 형성공정을 배제시킨(excluding) PMOS 트랜지스터들의 드레인 포화전류( $I_{dsat}$ )는 약  $300 \mu\text{A}/\mu\text{m}$ 이었고 상기 사전 열처리 공정을 채택하고 상기 후열처리 공정을 배제시킨 PMOS 트랜지스터들의 드레인 포화전류( $I_{dsat}$ )는 약  $270 \mu\text{A}/\mu\text{m}$ 이었다.

<101> 결론적으로, 상기 후열처리 공정은 상기 NMOS 트랜지스터들 및 상기 PMOS 트랜지스터들의 온/오프 전류 특성을 개선시키는 것으로 이해될 수 있다.

**【발명의 효과】**

<102> 상술한 바와 같이 본 발명에 따르면, 니켈 셀리사이드 공정 전에 실리사이드화 저지막을 갖는 반도체기판을 열처리하는 경우에 안정된 전기적인 특성을 갖는 고성능 모스 트랜지스터들을 구현할 수 있다.

**【특허청구범위】****【청구항 1】**

반도체기판의 소정영역에 불순물 이온들을 주입하여 불순물층을 형성하고,

상기 불순물층을 갖는 반도체기판 상에 상기 불순물층을 노출시키는 실리사이드화 저지막 패턴(silicidation blocking layer pattern)을 형성하고,

상기 실리사이드화 저지막 패턴을 갖는 반도체기판을 후열처리하여(post-annealing) 상기 불순물층 내의 불순물들을 활성화시키고,

상기 활성화된 불순물층의 표면에 니켈 실리사이드막을 선택적으로 형성하는 것을 포함하는 니켈 샐리사이드 공정.

**【청구항 2】**

제 1 항에 있어서,

상기 불순물 이온들은 N형 불순물 이온들 또는 P형 불순물 이온들인 것을 특징으로 하는 니켈 샐리사이드 공정.

**【청구항 3】**

제 1 항에 있어서,

상기 실리사이드화 저지막 패턴을 형성하기 전에, 상기 불순물층을 포함하는 반도체기판을 사전 열처리하여(pre-annealing) 상기 불순물층 내의 불순물들을 활성화시키는 것을 더 포함하는 것을 특징으로 하는 니켈 샐리사이드 공정.

**【청구항 4】**

제 3 항에 있어서,

상기 사전 열처리 공정은 830℃ 내지 1150℃의 온도에서 실시하는 것을 특징으로 하는 니켈 샐리사이드 공정.

**【청구항 5】**

제 4 항에 있어서,

상기 사전 열처리 공정은 질소가스를 분위기 가스(ambient gas)로 사용하여 실시하는 것을 특징으로 하는 니켈 샐리사이드 공정.

**【청구항 6】**

제 5 항에 있어서,

상기 사전 열처리 공정은 급속 열처리 공정을 사용하여 실시하는 것을 특징으로 하는 니켈 샐리사이드 공정.

**【청구항 7】**

제 1 항에 있어서,

상기 실리사이드화 저지막 패턴(silicidation blocking layer pattern)은 535℃ 내지 825℃의 온도에서 실리콘 질화막으로 형성하는 것을 특징으로 하는 니켈 샐리사이드 공정.

**【청구항 8】**

제 1 항에 있어서,

상기 후열처리 공정은 830℃ 내지 1150℃의 온도에서 실시하는 것을 특징으로 하는 니켈 샐리사이드 공정.

## 【청구항 9】

제 8 항에 있어서,

상기 후열처리 공정은 질소가스를 분위기 가스(ambient gas)로 사용하여 실시하는 것을 특징으로 하는 니켈 셀리사이드 공정.

## 【청구항 10】

반도체기판 상에 불순물 이온들로 도우핑된 실리콘 패턴을 형성하고,

상기 도우프트 실리콘 패턴을 갖는 반도체기판 상에 상기 도우프트 실리콘 패턴을 노출시키는 실리사이드화 저지막 패턴(silicidation blocking layer pattern)을 형성하고,

상기 실리사이드화 저지막 패턴을 갖는 반도체기판을 후열처리하여(post-annealing) 상기 도우프트 실리콘 패턴 내의 불순물들을 활성화시키고,

상기 활성화된 실리콘 패턴의 표면에 니켈 실리사이드막을 선택적으로 형성하는 것을 포함하는 니켈 셀리사이드 공정.

## 【청구항 11】

제 10 항에 있어서,

상기 실리콘 패턴은 폴리실리콘막으로 형성하는 것을 특징으로 하는 니켈 셀리사이드 공정.

## 【청구항 12】

제 10 항에 있어서,

상기 불순물 이온들은 N형 불순물 이온들 또는 P형 불순물 이온들인 것을 특징으로 하는 니켈 셀리사이드 공정.

**【청구항 13】**

제 10 항에 있어서,

상기 실리사이드화 저지막 패턴을 형성하기 전에, 상기 도우프트 실리콘 패턴을 포함하는 반도체기판을 사전 열처리하여(pre-annealing) 상기 도우프트 실리콘 패턴 내의 불순물들을 활성화시키는 것을 더 포함하는 것을 특징으로 하는 니켈 샐리사이드 공정.

**【청구항 14】**

제 13 항에 있어서,

상기 사전 열처리 공정은 830℃ 내지 1150℃의 온도에서 실시하는 것을 특징으로 하는 니켈 샐리사이드 공정.

**【청구항 15】**

제 14 항에 있어서,

상기 사전 열처리 공정은 질소가스를 분위기 가스로 사용하여 실시하는 것을 특징으로 하는 니켈 샐리사이드 공정.

**【청구항 16】**

제 15 항에 있어서,

상기 사전 열처리 공정은 급속 열처리 공정을 사용하여 실시하는 것을 특징으로 하는 니켈 샐리사이드 공정.



## 【청구항 17】

제 10 항에 있어서,

상기 실리사이드화 저지막 패턴(silicidation blocking layer pattern)은 535℃ 내지 825℃의 온도에서 실리콘 질화막으로 형성하는 것을 특징으로 하는 니켈 샐리사이드 공정.

## 【청구항 18】

제 10 항에 있어서,

상기 후열처리 공정은 830℃ 내지 1150℃의 온도에서 실시하는 것을 특징으로 하는 니켈 샐리사이드 공정.

## 【청구항 19】

제 18 항에 있어서,

상기 후열처리 공정은 질소가스를 분위기 가스로 사용하여 실시하는 것을 특징으로 하는 니켈 샐리사이드 공정.

## 【청구항 20】

반도체기판 상에 게이트 절연막을 형성하고,

상기 게이트 절연막의 소정영역 상에 게이트 패턴을 형성하고,

상기 게이트 패턴의 측벽 상에 절연성 스페이서(insulating spacer)를 형성하고,

상기 게이트 패턴 및 상기 스페이서를 이온주입 마스크로 사용하여 상기 반도체기판 내에 불순물 이온들을 주입하여 소오스/드레인 영역들을 형성하고,

상기 소오스/드레인 영역들을 갖는 반도체기판 상에 상기 게이트 패턴 및 상기 소오스/드레인 영역을 노출시키는 실리사이드화 저지막 패턴을 형성하고,

상기 실리사이드화 저지막 패턴을 갖는 반도체기판을 후열처리하여 상기 게이트 패턴 및 상기 소오스/드레인 영역들 내의 불순물들을 활성화시키고,

상기 활성화된 게이트 패턴의 표면 및 상기 활성화된 소오스/드레인 영역들의 표면들에 니켈 실리사이드막을 선택적으로 형성하는 것을 포함하는 모스 트랜지스터의 제조방법.

【청구항 21】

제 20 항에 있어서,

상기 게이트 패턴은 폴리 실리콘막으로 형성하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

【청구항 22】

제 20 항에 있어서,

상기 불순물 이온들은 N형 불순물 이온들 또는 P형 불순물 이온들인 것을 특징으로 하는 모스 트랜지스터의 제조방법.

【청구항 23】

제 20 항에 있어서,

상기 실리사이드화 저지막 패턴을 형성하기 전에, 상기 소오스/드레인 영역들을 포함하는 반도체기판을 사전 열처리하여 상기 게이트 패턴 및 상기 소오스/드레인 영역들 내의 불순물들을 활성화시키는 것을 더 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

## 【청구항 24】

제 20 항에 있어서,

상기 사전 열처리 공정은 830℃ 내지 1150℃의 온도에서 실시하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

## 【청구항 25】

제 24 항에 있어서,

상기 사전 열처리 공정은 질소가스를 분위기 가스로 사용하여 실시하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

## 【청구항 26】

제 25 항에 있어서,

상기 사전 열처리 공정은 급속 열처리 공정을 사용하여 실시하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

## 【청구항 27】

제 20 항에 있어서,

상기 실리콘사이드화 저지막 패턴을 형성하는 것은 535℃ 내지 825℃의 온도에서 실리콘 질화막을 형성하는 것을 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

## 【청구항 28】

제 20 항에 있어서,

상기 후열처리 공정은 830℃ 내지 1150℃의 온도에서 실시하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

## 【청구항 29】

제 28 항에 있어서,

상기 후열처리 공정은 질소가스를 분위기 가스로 사용하여 실시하는 것을 특징으로 하는  
모스 트랜지스터의 제조방법.

## 【청구항 30】

제 20 항에 있어서,

상기 니켈 실리사이드막을 선택적으로 형성하는 것은

상기 후열처리 공정이 완료된 반도체기판의 표면을 세정하여 상기 활성화된 게이트 패턴  
의 표면 및 상기 활성화된 소오스/드레인 영역들의 표면을 노출시키고,

상기 세정된 반도체기판의 전면 상에 니켈막을 형성하고,

상기 니켈막을 갖는 반도체기판을 400℃ 내지 530℃의 온도에서 열처리하여 상기 게이트  
패턴 및 상기 소오스/드레인 영역 상에 니켈 모노 실리사이드막(nickel mono-silicide layer;  
NiSi layer)을 형성하고,

상기 스페이서 상에 잔존하는 미반응된 니켈막(unreacted nickel layer)을 제거하는 것  
을 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

## 【청구항 31】

제 30 항에 있어서,

상기 니켈막은 순수 니켈막(pure nickel layer) 또는 니켈 합금막(nickel alloy layer)  
으로 형성하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

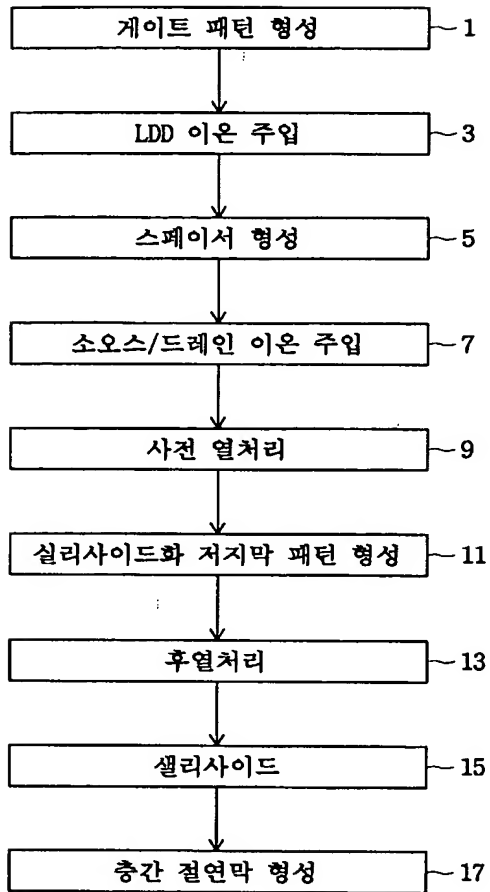
## 【청구항 32】

제 31 항에 있어서,

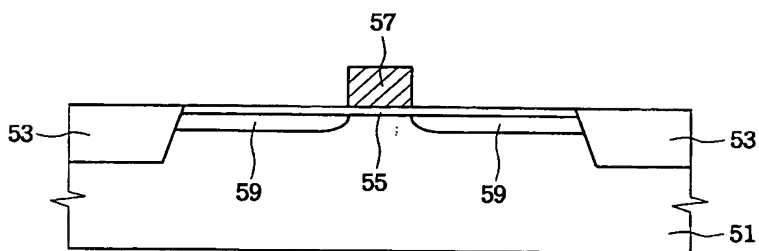
상기 니켈 합금막은 탄탈륨(Ta), 지르코늄(Zr), 타이타늄(Ti), 하프늄(Hf), 텅스텐(W), 코발트(Co), 백금(Pt), 팔라듐(Pd), 바나듐(V), 니오비움(Nb) 또는 이들의 조합물을 함유하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

## 【도면】

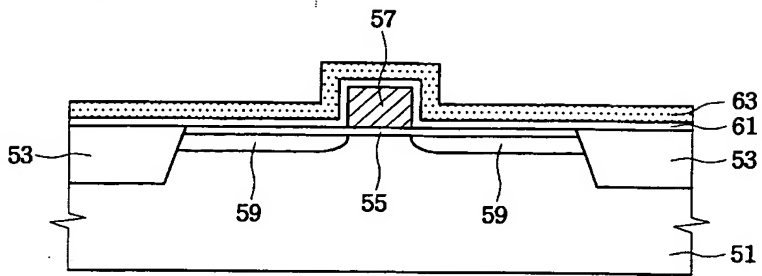
【도 1】



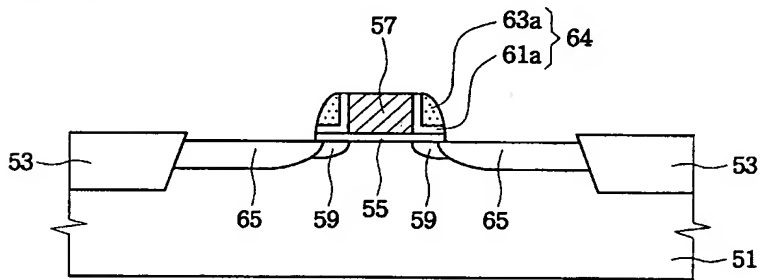
【도 2】



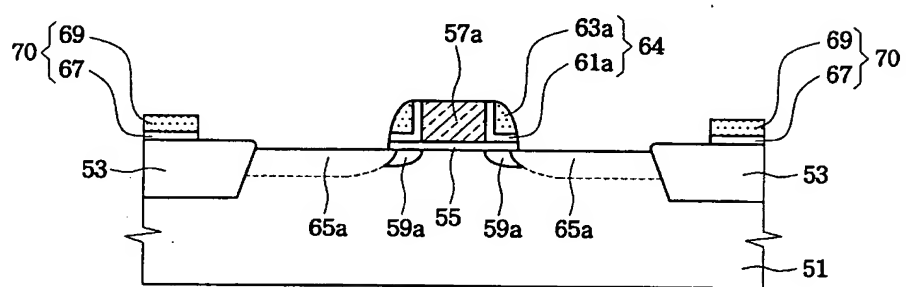
【도 3】



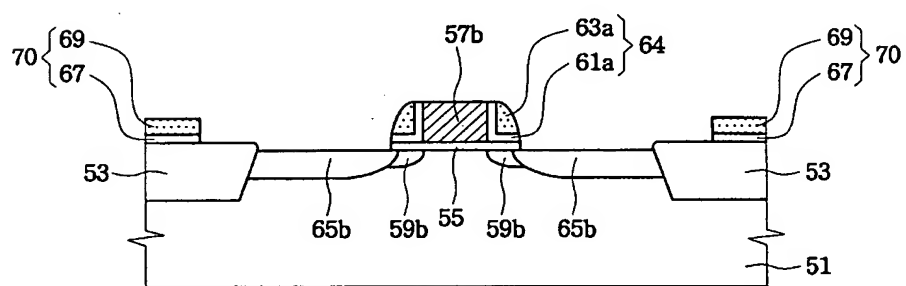
【도 4】



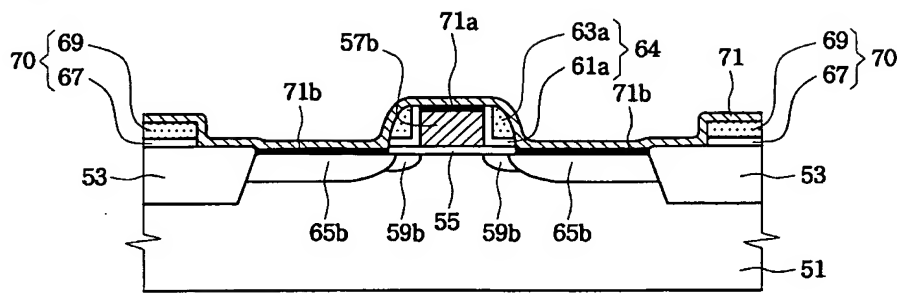
【도 5】



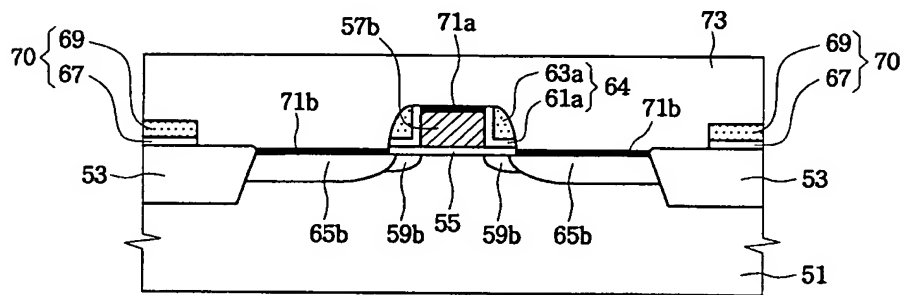
【도 6】



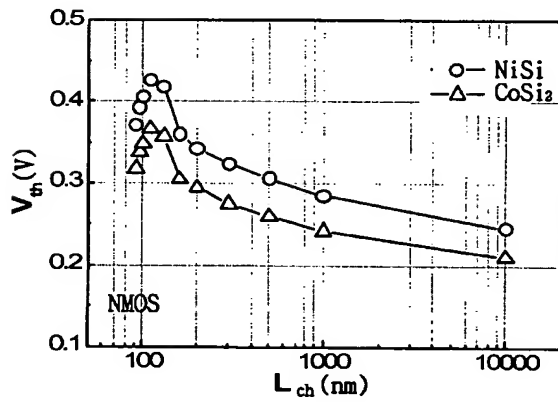
【도 7】



【도 8】

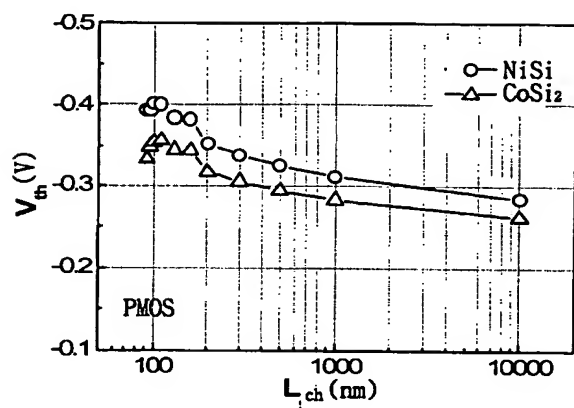


【도 9a】

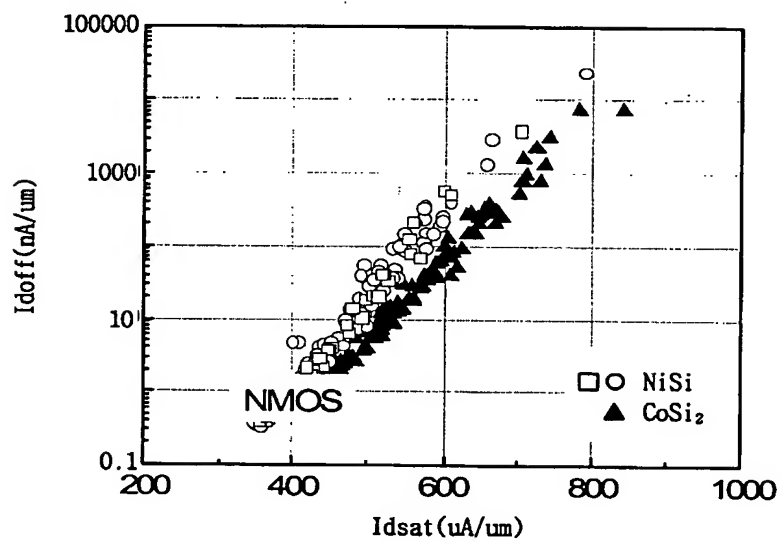




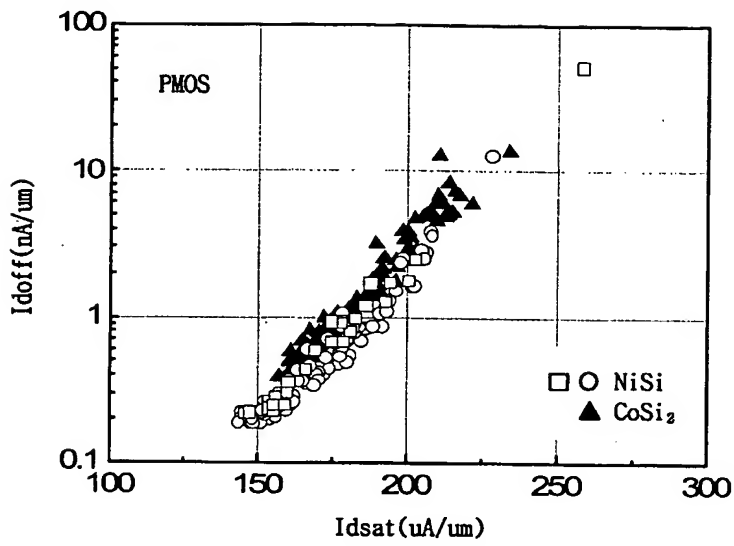
【도 9b】



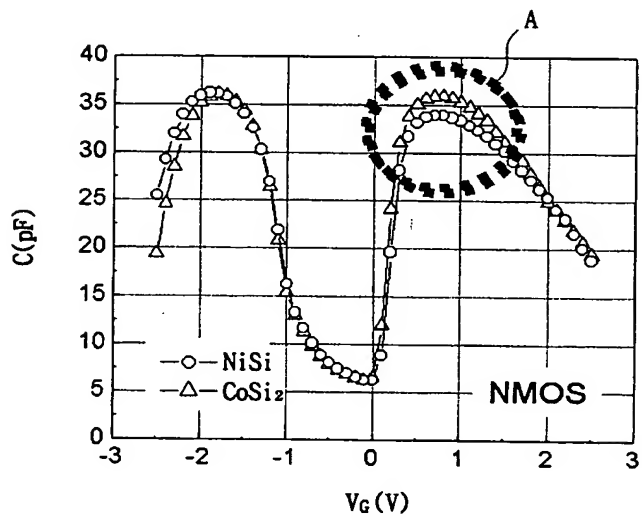
【도 10a】



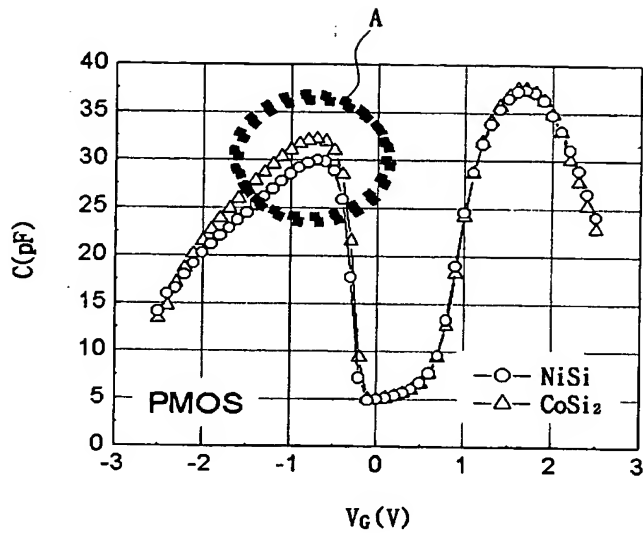
【도 10b】



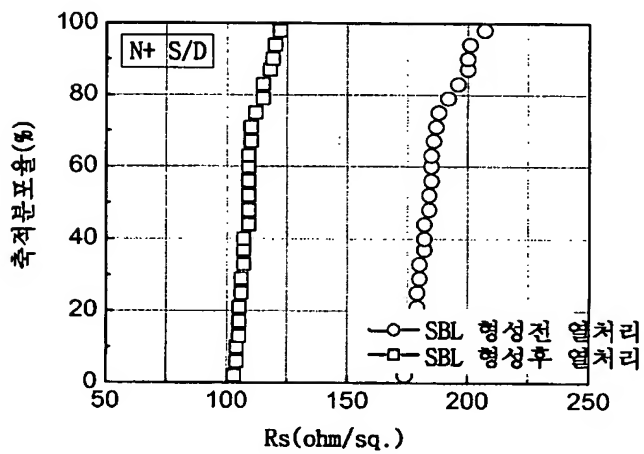
【도 11a】



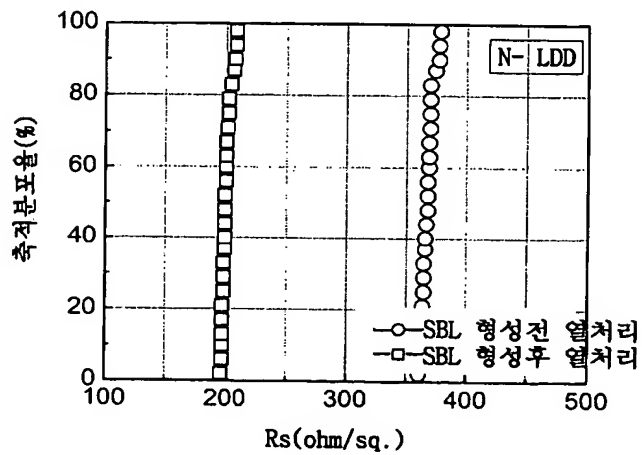
【도 11b】



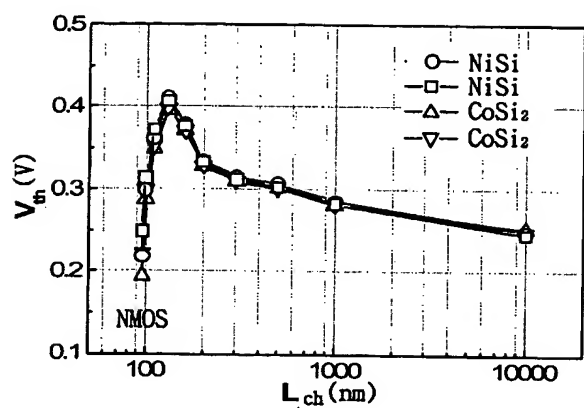
【도 12a】



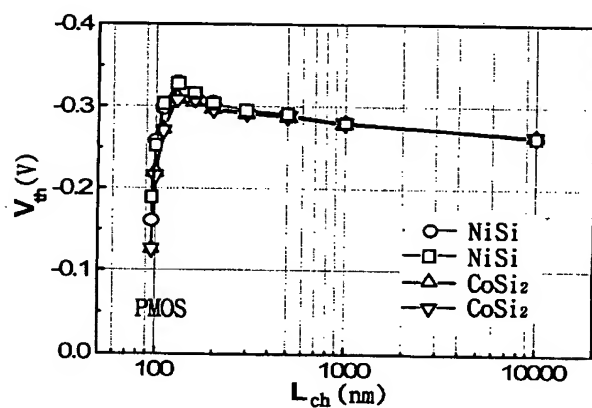
【도 12b】



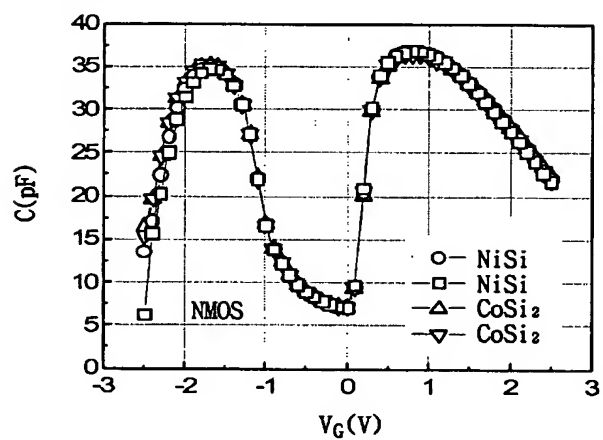
【도 13a】



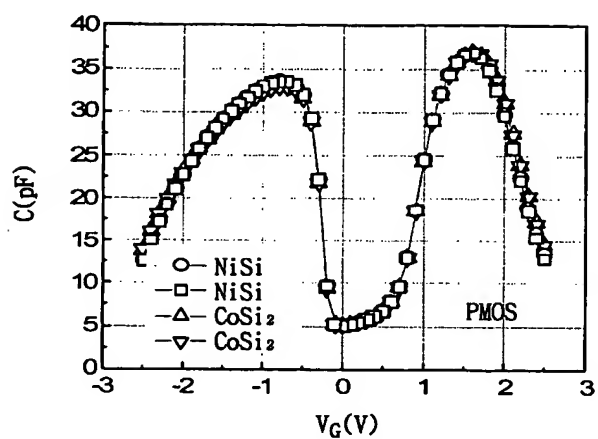
【도 13b】



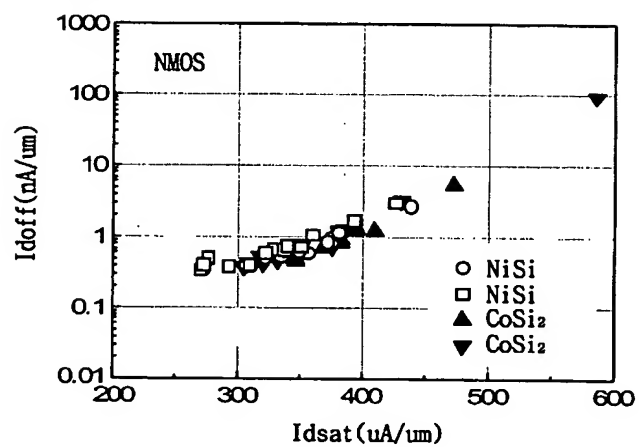
【도 14a】



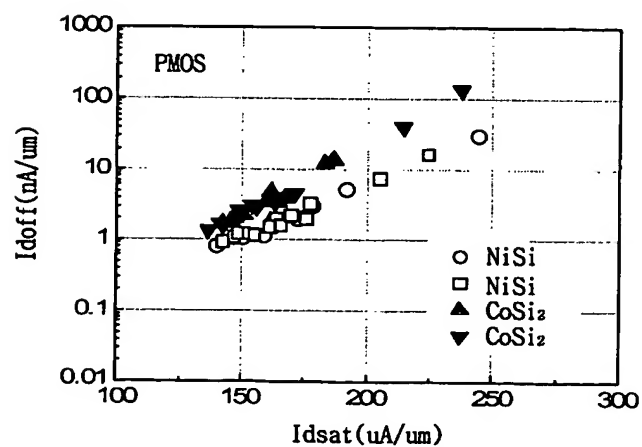
【도 14b】



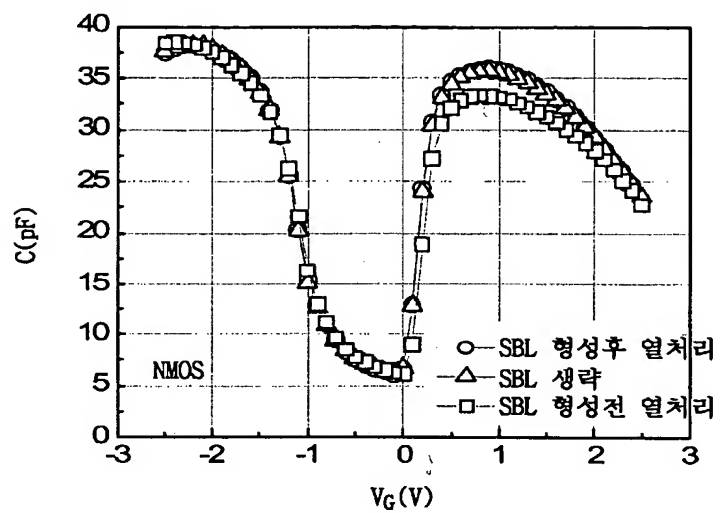
【도 15a】



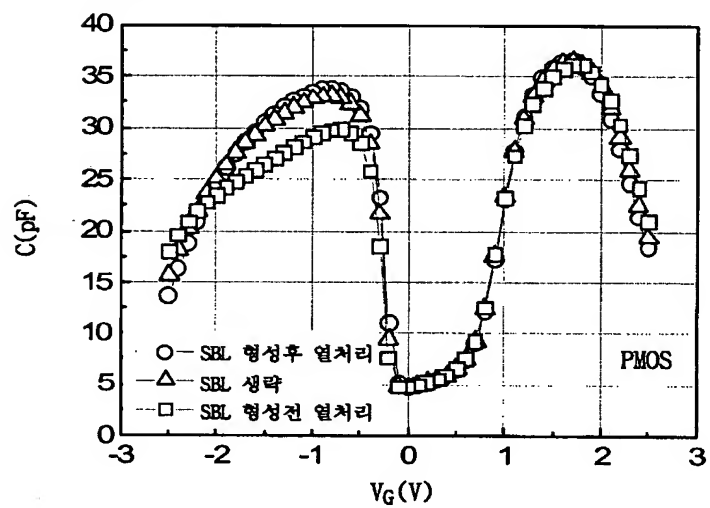
【도 15b】



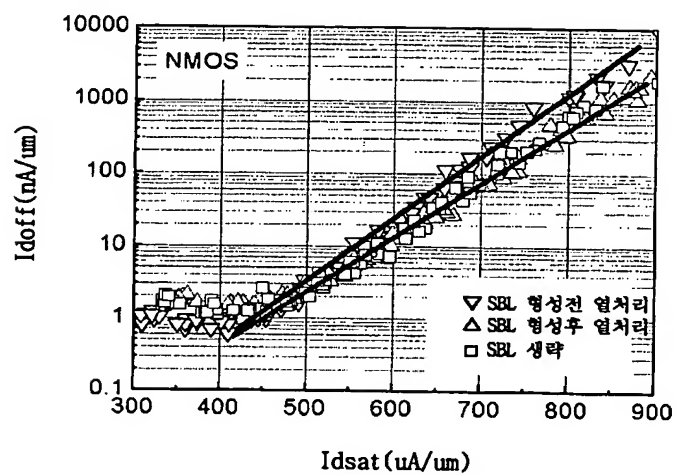
【도 16a】



【도 16b】



【도 17a】



【도 17b】

